



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02260876 A**

(43) Date of publication of application: **23.10.90**

(51) Int. Cl

H04N 5/21  
H03H 15/00

(21) Application number: 01078442

(22) Date of filing: 31.03.89

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: SATOU ERI  
NAKAMURA KAZUHIRO

**(54) WAVEFORM EQUALIZER**

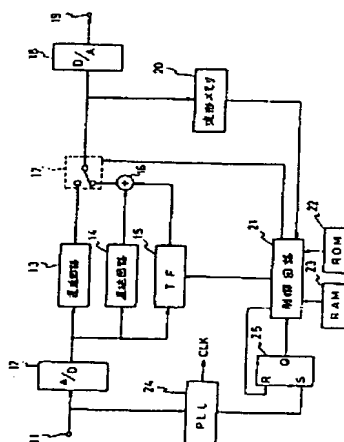
(57) Abstract:

PURPOSE: To prevent a picture with no ringing or the like eliminated thereof from being displayed by discriminating whether or not asynchronous state of waveform equalization is caused tentatively when the waveform equalization is in the asynchronous state in the waveform equalization mode and continuing the waveform equalization mode when the state is tentative.

CONSTITUTION: An RS flip-flop circuit 25 is provided between a phase locked loop PLL circuit 24 and a control circuit 21 and the RS flip-flop circuit 25 is used to detect whether or not the PLL circuit 24 is in the asynchronous state in the waveform equalization mode. In the case of the asynchronous state, the asynchronous time is measured and whether or not the result of measurement exceeds a predetermined asynchronous allowable time is discriminated and the waveform equalization mode is consecutive when the allowable time is not exceeded, and the waveform equalization mode is once released when the allowable time is exceeded and the waveform equalization is implemented again after the synchronizing state is recovered. When the asynchronous state is tentative, since the waveform equalization mode

is consecutive as it is, a pattern including ringing or the like is not displayed different from the case of re-implementation of the waveform equalization.

COPYRIGHT: (C)1990,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-260876

⑤ Int. Cl.<sup>5</sup>

H 04 N 5/21  
H 03 H 15/00

識別記号

A

庁内整理番号

7060-5C  
8837-5J

⑬ 公開 平成2年(1990)10月23日

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 波形等化装置

⑮ 特 願 平1-78442

⑯ 出 願 平1(1989)3月31日

⑰ 発 明 者 佐 藤 恵 理 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜  
事業所家電技術研究所内

⑱ 発 明 者 中 村 和 弘 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜  
事業所家電技術研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

波形等化装置

2. 特許請求の範囲

(1) タップ利得を調整可能なトランスバーサルフィルタを用い、受信信号に同期してこの受信信号から波形歪み成分を除去する波形等化動作を行なう波形等化手段と、

この波形等化手段の波形等化出力に残存する上記波形歪み成分を検出する波形歪み成分検出手段と、

この波形歪み成分検出手段の検出出力に基づいて上記トランスバーサルフィルタのタップ利得を制御する利得制御手段と、

上記波形等化手段が上記波形等化動作を行なっているモードにおいて、上記波形等化動作が上記受信信号に同期してしているか否かを判定する同期判定手段と、

この同期判定手段によって上記波形等化動作が上記受信信号に同期していないと判定された場合、

その非同期時間を計測する時間計測手段と、

この時間計測手段によって計測された非同期時間が定めた非同期許容時間を越えるか否かを判定する時間判定手段と、

この時間判定手段によって上記非同期時間が上記非同期許容時間を越えないと判定された場合は、上記波形等化モードを継続し、上記非同期許容時間を越えると判定された場合は、同期状態が回復するまで、上記波形等化モードを解除するモード制御手段と

を具備したことを特徴とする波形等化装置。

(2) 上記モード制御手段は、上記時間判定手段によって上記非同期時間が上記非同期許容時間を越えると判定された場合、同期状態が回復するまで、上記トランスバーサルフィルタのタップ利得を波形等化がなされない値に設定するように構成されていることを特徴とする請求項1記載の波形等化装置。

(3) 上記受信信号と上記波形等化手段の波形等化出力のどちらか一方を一時的に選択可能で、

少なくとも上記波形等化モードにおいては、上記波形等化出力を選択する選択手段を有し、

上記モード制御手段は、上記時間判定手段によって上記非同期時間が上記非同期許容時間を越えると判定された場合、同期状態が回復するまで、上記トランスバーサルフィルタのタップ利得を初期値に設定するとともに、上記選択手段によって上記受信信号が選択されるように上記選択手段の選択動作を制御するように構成されていることを特徴とする請求項1記載の波形等化装置。

(4) 上記受信信号と上記波形等化手段の波形等化出力のどちらか一方を一時的に選択可能で、少なくとも上記波形等化モードにおいては、上記波形等化出力を選択する選択手段を有し、

上記モード制御手段は、上記時間判定手段によって上記非同期時間が上記非同期許容時間を越えると判定された場合、同期状態が回復するまで、上記トランスバーサルフィルタのタップ利得を波形等化がなされない値に設定するように構成されていることを特徴とする請求項1記載の波形等化

装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、タップ利得を調整可能なトランスバーサルフィルタ(以下、TFと記す)を用いて受信信号から波形歪み成分を除去する波形等化装置に関する。

(従来の技術)

テレビジョン受像機においては、一般に、受信した映像信号に含まれるゴースト等の波形歪み成分を除去するために波形等化装置が設けられている。そして、この波形等化装置としては、通常、タップ利得を調整可能なトランスバーサルフィルタを用いたものが使用されている。

第5図にトランスバーサルフィルタを用いた従来の波形等化装置の構成を示す。

この第5図において、入力端子1.1に供給された受信映像信号は、アナログ/デジタル変換回路(以下、A/D変換回路と記す)1.2によってデ

供給される。

波形等化モードにおけるトランスバーサルフィルタ1.5のタップ利得の制御はつぎのようにしてなされる。

すなわち、スイッチ1.7によって選択された波形等化出力は、D/A変換回路1.8に供給されるとともに、波形メモリ2.0に書き込まれる。制御回路2.1はこの波形メモリ2.0に書き込まれた受信映像信号からトレーニング信号を取り込む。ここで、トレーニング信号とは、波形歪み成分を検出するための基準信号として予め受信映像信号に挿入されている信号である。制御回路2.1はこのトレーニング信号を使って波形歪み成分を検出し、この検出結果に基づいてTF1.5の各タップの利得を演算する。そして、この演算結果をTF1.5の各タップに転送する。これにより、波形歪み成分の位相に対応するタップの利得の精度が高められ、このタップの出力と受信映像信号とが加算回路1.6により加算されることにより、波形等化がなされる。

デジタル信号化された後、時間調整用の遅延回路1.3、1.4とTF1.5に供給される。遅延回路1.4とトランスバーサルフィルタ1.5の出力信号とは加算回路1.6で加算される。これにより、受信映像信号からこの信号に含まれる波形歪み成分が除去される。この波形等化出力と遅延回路1.3の遅延出力はスイッチ1.7に供給される。

このスイッチ1.7は、波形等化動作を行なわないモードでは、遅延回路1.3側に接続される。これにより、この非波形等化モードでは、遅延回路1.3から出力される受信映像信号がスイッチ1.7を介してデジタル/アナログ変換回路(以下、D/A変換回路と記す)1.8に供給される。一方、波形等化動作を行なうモードにおいては、スイッチ1.7は加算回路1.6側に接続される。これにより、この波形等化モードにおいては、加算回路1.6の波形等化出力がスイッチ1.7を介してD/A変換回路1.8に供給される。

スイッチ1.7の選択出力はD/A変換回路1.8によりアナログ信号化された後、出力端子1.9に

なお、制御回路21は例えばマイクロコンピュータを有し、その処理プログラムがROM22に格納されている。また、TF15のタップ利得はRAM23に格納されている。

ところで、上述した波形等化動作は、受信映像信号に同期するようにしてなされる。これは、TF15等をアクセスするための基準クロックCLKを、フェイズロックドループ回路(以下、PLL回路と記す)24により受信映像信号に同期して出力することによりなされる。

波形等化モードにおいて、波形等化動作が受信映像信号に同期している場合は、波形等化モードが継続され、同期しなくなった場合は波形等化モードが解除される。この同期か非同期かの判定は、PLL回路24から出力されるLOCK/UNLOCK信号に基づいて制御回路21によりなされる。すなわち、PLL回路24は、このPLL回路24が受信映像信号に同期している場合は、LOCK/UNLOCK信号のレベルをローレベル(以下、Lレベルと記す)に設定し、同

期していない場合は、ハイレベル(以下、Hレベルと記す)に設定する。したがって、制御回路21はLOCK/UNLOCK信号がLレベルのときは、波形等化動作が受信映像信号に同期していると判定し、Hレベルの場合は、同期していないと判定する。

制御回路21は、波形等化動作が受信映像信号に同期していると判定した場合は、波形等化モードを継続し、同期していないと判定した場合は、波形等化モードを解除する。この波形等化モードの解除は、TF15のタップ利得を初期値に設定するとともに、スイッチ17を加算回路16側に接続することによりなされる。この状態は、同期状態が回復するまで継続される。

以上従来の波形等化装置の構成を説明したが、この波形等化装置の場合、つぎのような問題があった。

すなわち、従来の波形等化装置においては、波形等化動作が同期状態から非同期状態に変化すると、すぐに、波形等化処理モードが解除され、同

期状態が回復すると、再度最初から波形等化処理をやり直すようになっている。したがって、例えば、雷雲や落雷等が発生して映像信号が乱れ、波形等化動作が非同期状態になった場合のように、非同期状態があえて波形等化モードを解除する必要がないような一時的なものであっても、波形等化モードが解除されるため、同期が回復して波形等化動作が安定するまでの間、例えば、リンギング等を含む画面が得られるという問題があった。

(発明が解決しようとする課題)

以上述べたように従来の波形等化装置は、波形等化モードにおいて、波形等化動作が非同期状態になると、すぐに、波形等化モードを解除するようになっているため、非同期状態があえて波形等化モードを解除する必要がない一時的なものであっても、リンギング等を含む画面が得られてしまうという問題があった。

そこで、この発明は、非同期状態が一時的なものである場合には、波形等化モードを解除しないようにすることにより、リンギング等を含む画面

が表示されることを防止することができる波形等化装置を提供することを目的とする。

[発明の目的]

(課題を解決するための手段)

上記目的を達成するためにこの発明は、波形等化モードにおいて、波形等化動作が非同期状態になった場合、その波形等化動作の非同期時間を計測し、この計測結果が予め定めた非同期許容時間を越える場合は波形等化モードを解除し、越えない場合は波形等化モードを継続するようにしたものである。

(作用)

上記構成によれば、非同期状態が一時的なものである場合、波形等化モードがそのまま継続されるので、波形等化動作を再度やり直す場合のように、リンギング等を含む画面が表示されることはない。

(実施例)

以下、図面を参照しながらこの発明の実施例を詳細に説明する。

第1図はこの発明の一実施例の構成を示す回路図である。

なお、第1図において、先の第5図と同一部には同一符号を付して詳細な説明を省略する。

第1図に示す装置は、PLL回路24と制御回路21との間にRSフリップフロップ回路25を設け、このRSフリップフロップ回路25を使って波形等化モード中にPLL回路24が非同期状態になったか否かを検出し、非同期状態になった場合には、その非同期時間を計測するとともに、この計測結果が予め定めた非同期許容時間を越えたか否かを判定し、越えない場合は波形等化モードを継続し、越えた場合は波形等化モードを一旦解除し、同期状態が回復してから再び波形等化動作をやり直すようになっている。

この処理はROM22に格納されたプログラムに従って制御回路21内のマイクロコンピュータによってなされる。このROM22に格納されたプログラムを第2図のフローチャートに示す。また、第3図には、第2図のフローチャート中のク

イ、マークロックサブルーチンのフローチャートを示す。さらに、第4図には、第2図及び第3図のフローチャートに従ってなされる動作のタイミングチャートを示す。

なお、第4図に示す丸数字は第2図及び第3図に示す丸数字に対応するものである。

ここで、第2図乃至第4図を参照しながら、第1図の構成及び動作を詳細に説明する。

電源投入等により装置が初期状態に設定され、プログラムがスタートすると、制御回路21は、まず、ステップS<sub>1.0.0</sub>の処理を実行する。このステップS<sub>1.0.0</sub>では、スイッチ17を遅延回路13側に接続する処理、TF15のタップ利得を初期値にリセットする処理、RSフリップフロップ回路25のリセット端子にHレベルのリセットパルスを供給する処理の3つの処理がなされる。

この3つの処理が済むと、制御回路21はつぎのステップS<sub>1.0.1</sub>を実行する。このステップS<sub>1.0.1</sub>では、ステップS<sub>1.0.0</sub>の処理期間中にPLL回路24が受信映像信号に同期したか否か

が判定される。この判定は、RSフリップフロップ回路25の出力端子Qのレベルに基づいてなされる。

すなわち、ステップS<sub>1.0.0</sub>で出力されるリセットパルスによりRSフリップフロップ回路25はリセットされる。このとき、PLL回路24が受信映像信号に同期していなければ、このPLL回路24から出力されるLOCK/UNLOCK信号がHレベルであるため、RSフリップフロップ回路25はリセットパルスにより一旦リセットされた後、すぐに、セット状態に戻される。これにより、RSフリップフロップ回路の出力端子QのレベルはHレベルとなる。逆に、PLL回路24が同期していれば、LOCK/UNLOCK信号がLレベルにあるため、RSフリップフロップ回路25はセット状態に戻されない。これにより、その出力端子QのレベルがLレベルとなる。したがって、制御回路21は、RSフリップフロップ回路25の出力端子QのレベルがHレベルの場合は、同期していないと判定し、Lレベルの場合

は同期していると判定する。

PLL回路24が受信映像信号に同期していない場合、制御回路21は再びステップS<sub>1.0.0</sub>に戻り、PLL回路24が同期するまで、ステップS<sub>1.0.0</sub>、S<sub>1.0.1</sub>の処理を繰り返す。

PLL回路24が受信映像信号に同期した場合、制御回路21はステップS<sub>1.0.2</sub>の処理を実行する。なお、ステップS<sub>1.0.1</sub>の処理までは、非波形等化モードにおける処理であり、ステップS<sub>1.0.2</sub>の処理から波形等化モードに入る。

ステップS<sub>1.0.2</sub>では、スイッチ17を加算回路16側に接続する処理と、波形メモリ20からトレーニング信号を取り込む処理がなされる。

この処理が済むと、制御回路21はステップS<sub>1.0.3</sub>の処理を実行する。このステップS<sub>1.0.3</sub>では、ステップS<sub>1.0.2</sub>の実行期間中に、PLL回路24が非同期状態になったか否かが判定される。この判定もステップS<sub>1.0.1</sub>と同様、RSフリップフロップ回路25の出力端子Qのレベルに基づいてなされる。但し、この場合は、判

定に先だってRSフリップフロップ回路25にリセットパルスが供給されない。これは、ステップS103は、PLL回路24が同期状態から非同期状態になったか否かを判定するためのステップだからである。すなわち、この場合には、もともとRSフリップフロップ回路25がリセット状態にあるため、あえてリセットパルスを供給する必要がないわけである。

PLL回路21が同期状態にある場合、制御回路21はステップS103の処理を有効にして次のステップS104、S105、S106の処理を順次実行する。すなわち、ステップS104では、波形歪み成分の検出がなされ、ステップS105ではこの検出出力に基づいてTF15のタップ利得が演算され、ステップS106では、求められたタップ利得がTF15に転送される。

タップ利得の転送が済むと、制御回路21はステップS107の処理を実行する。このステップS107では、ステップS104、S105、S106の実行期間中にPLL回路24が非同期

状態になったか否かが判定される。この判定も先のステップS101、S103と全く同じようにしてなされる。但し、この場合も、判定に先だって、RSフリップフロップ回路25にリセットパルスが供給されない。

PLL回路24が同期状態にある場合、制御回路21はステップS104、S105、S106の処理を有効にして、ステップS102に戻る。以後、ステップS103あるいはステップS107において、PLL回路が非同期状態となったと判定されるまで、上述した波形等化動作が繰返される。

制御回路21はステップS103、S107でPLL回路24が非同期状態となったと判定した場合、サブルーチンを成すステップS108のコルタイマロック処理を実行する。

このステップS108では、まず、第3図に示すように、ステップS200において、非同期許容時間がセットされる。

このセットが済むと、制御回路21はステップ

S201でタイマオーバーフローフラグをリセットする。このフラグは後述する如く非同期許容時間内にPLL回路24の同期状態が回復しない場合、セットされるものである。

このリセットが済むと、制御回路21はステップS202でRSフリップフロップ回路25のリセット端子Rにリセットパルスを供給する。

このリセットパルスの供給が済むと、制御回路21はステップS203でPLL回路24の同期が回復した否かを判定する。この判定も、RSフリップフロップ回路25の出力端子Qのレベルに基づいて行われる。但し、この場合は、非同期状態から同期状態になったかを判定するものであるから、上述の如く、判定に先だって、ステップS202でRSフリップフロップ回路25にリセットパルスが供給される。

同期が回復していなければ、制御回路21はステップS204の処理を実行する。このステップS204では、ステップS201で非同期許容時間をセットしてからの時間が計測される。すなわ

ち、非同期状態になってからの時間が計測される。

この計測が済むと、制御回路21はステップS205の処理を実行する。このステップS205では、ステップS204で計測された時間が非同期許容時間を越えたか否かが判定される。

計測時間が非同期許容時間を越えていない場合、制御回路21はステップS202に戻る。以後、ステップS203において、同期が回復したと判定されない限り、計測時間が非同期許容時間を越えるまで、上述した動作が繰返される。

計測時間が非同期許容時間を越えると、制御回路21はステップS206でタイマオーバーフローフラグをセットする。これで、サブルーチンが終了し、第2図のメインルーチンに戻る。

計測時間が非同期許容時間を越える前に、PLL回路24の同期が回復すると、制御回路21はステップS203からメインルーチンに移る。したがって、この場合は、タイマオーバーフローフラグがセットされない。

上記のようにしてサブルーチンが終了すると、

制御回路21は第2図のステップS<sub>109</sub>を実行する。このステップS<sub>109</sub>では、タイマオーバーフローフラグがセットされているか否かが判定される。

タイマオーバーフローフラグがセットされていないければ、制御回路21はステップS<sub>102</sub>に戻り、波形等化モードを継続する。

一方、タイマオーバーフローフラグがセットされていれば、制御回路21はステップS<sub>100</sub>に戻る。これにより、波形等化モードが一旦解除され、PLL回路24の同期が回復した時点で再度波形等化処理を最初からやり直される。

なお、第4図において、A、Bは波形等化モード中にPLL回路24が非同期状態になった場合を示す。このA、Bのうち、Aは非同期許容時間中に同期が回復した場合を示し、Bは回復しない場合を示す。

以上述べたようにこの実施例は、波形等化モード中に、第2図のステップS<sub>103</sub>、S<sub>107</sub>で、PLL回路24が非同期状態になったか否かを判

定し、非同期状態になった場合は、第3図のステップS<sub>204</sub>で、その時間を計測するとともに、第3図のステップS<sub>203</sub>、S<sub>205</sub>で、この計測時間が非同期許容時間を越えたか否かを判定し、越えない場合は、第2図のステップS<sub>102</sub>に戻ってそのまま波形等化モードを継続し、越えた場合は、ステップS<sub>100</sub>に戻って、波形等化モードを一旦解除して、同期が回復した時点で再度波形等化動作を最初からやり直すようにしたものである。

このような構成によれば、例えば、雷害や落雷等が発生して映像信号が乱れ、波形等化動作が非同期状態になった場合のように、非同期状態があえて波形等化モードを解除する必要がないような一時的なものである場合は、波形等化モードが解除されないため、リングング等を含む画面が表示されることを防止することができる。

以上この発明の一実施例を詳細に説明したが、この発明はこのような実施例に限定されるものではない。

例えば、先の実施例では、波形等化モードを解除する場合、TF15のタップ利得を初期値に設定するとともに、スイッチ17を遅延回路13側に接続する場合を説明した。しかし、タップ利得の初期値として映像信号の波形等化に寄与しないような値、例えば0を設定するものであれば、スイッチ12を加算回路17側に接続したままにしておいてもよい。

また、先の実施例では、この発明をスイッチ17のような選択手段、つまり、受信映像信号と波形等化出力とを択一的に選択可能な選択手段を有する波形等化装置に適用する場合を説明したが、この発明はこのような選択手段を有しない波形等化装置にも適用可能である。この場合は、波形等化モードを解除する場合、TF15のタップ利得を波形等化に寄与しないような値、例えば、0に設定すればよい。

また、先の実施例では、波形等化動作が受信映像信号に同期しているか否かを判定するのに、PLL回路24が受信映像信号に同期しているか

否かを判定する場合を説明したが、これ以外の部分で判定するようにしてもよい。

また、先の実施例では、この発明を映像信号の波形等化装置に適用する場合を説明したが、映像信号以外の信号の波形等化装置に適用してもよい。

この他にもこの発明はその要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

#### 【発明の効果】

以上述べたようにこの発明によれば、波形等化モードにおいて、波形等化動作が非同期状態になったとき、これが一時的なものか否かを判定し、一時的なものであれば、波形等化モードを継続するようにしたので、リングング等が除去されていない画面が表示されることを防止することができる。

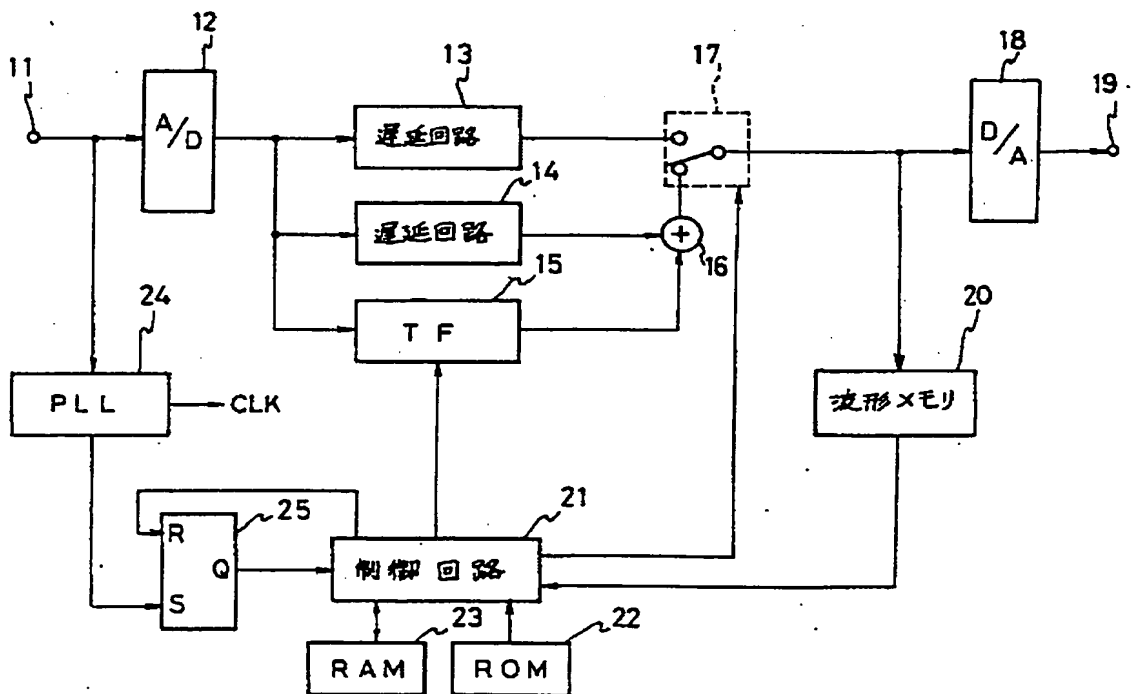
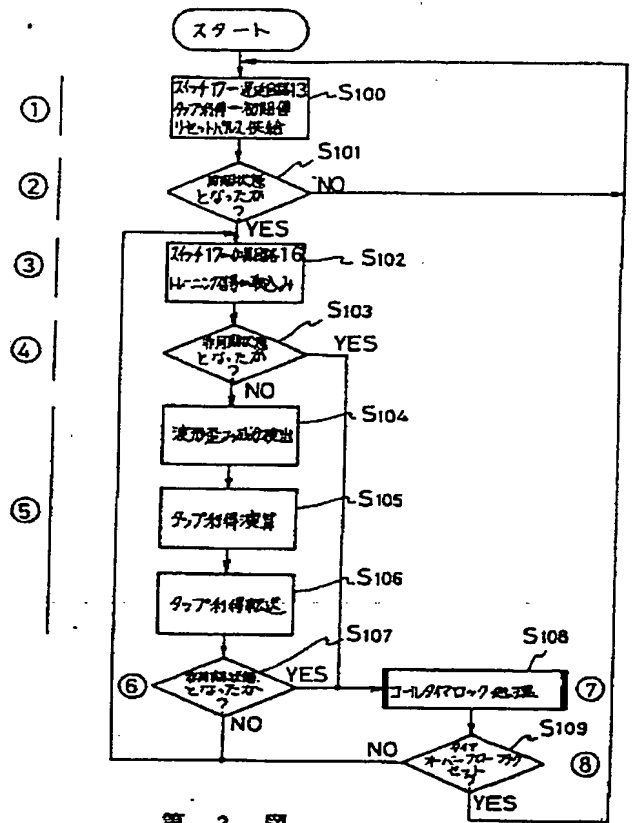
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の構成を示す回路図、第2図及び第3図は第1図の動作を説明するためのフローチャート、第4図は同じくタイミングチャート、第5図は従来の波形等化装置の構成

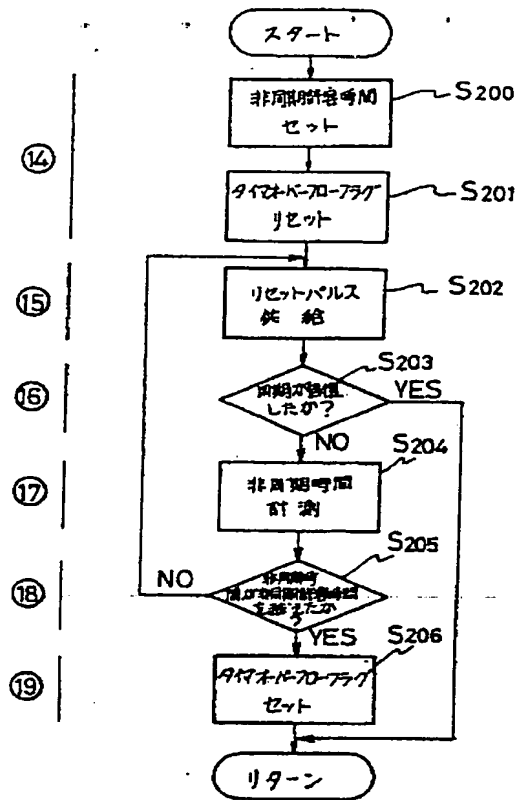
を示す回路図である。

11…入力端子、12 A/D変換回路、13…  
14…遅延回路、15…TF、16…加算回路、  
17…スイッチ、18…D/A変換回路、19…  
出力端子、20…波形メモリ、21…制御回路、  
22…ROM、23…RAM、24…PLL回路、  
25…RSフリップフロップ回路。

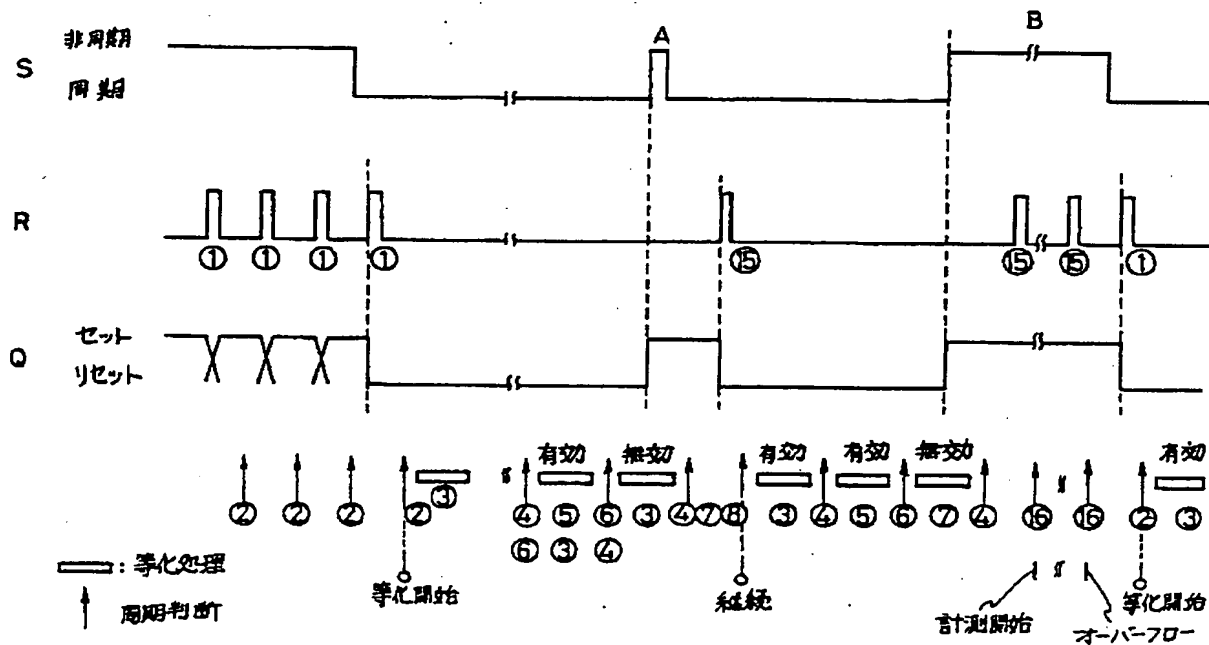
出願人代理人 弁理士 鈴江 武彦

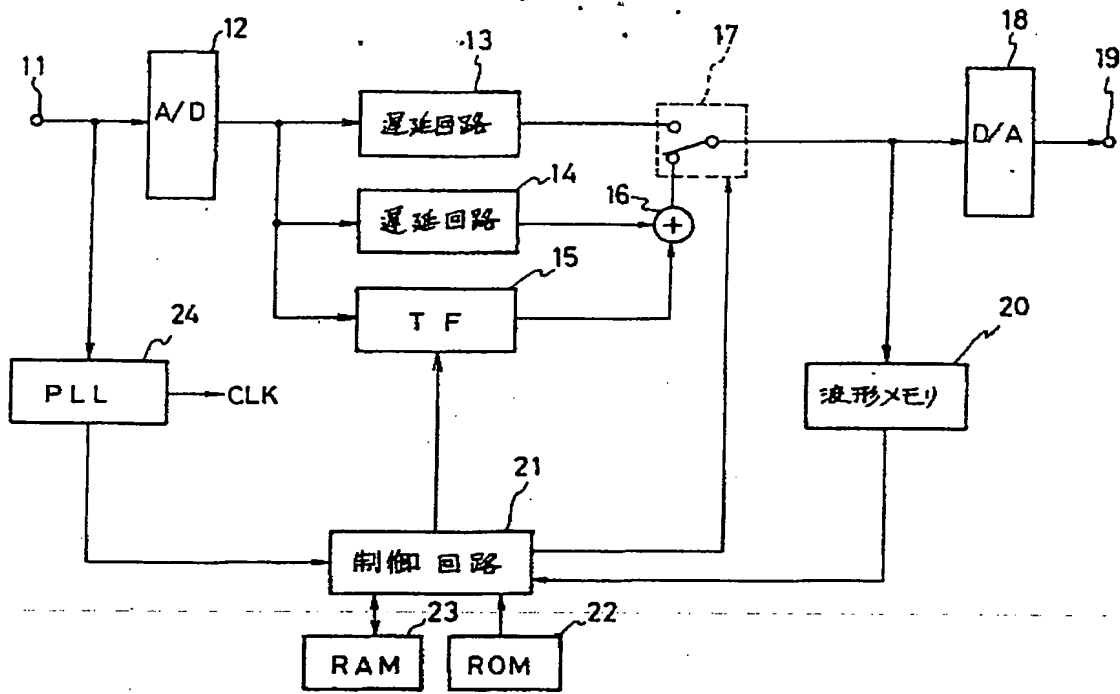






第 3 図





第 5 図